

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2004-054264**

(43)Date of publication of application : **19.02.2004**

(51)Int.Cl.

G09G 3/28  
G09G 3/20  
G09G 3/288

(21)Application number : **2003-174376**

(71)Applicant : **SAMSUNG SDI CO LTD**

(22)Date of filing : **19.06.2003**

(72)Inventor : **LEE JUN-YOUNG**  
**KIM JIN-SUNG**  
**CHOI HAK GI**  
**KAN SANEI**

(30)Priority

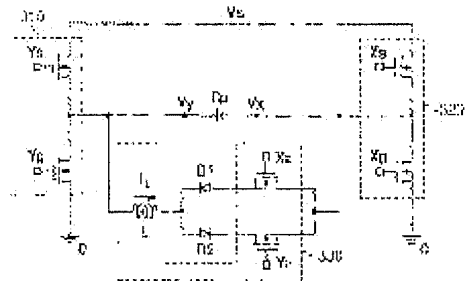
Priority number : **2002 200243254** Priority date : **23.07.2002** Priority country : **KR**

## (54) APPARATUS AND METHOD FOR DRIVING PLASMA DISPLAY PANEL

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a plasma display panel in which stress of elements is reduced and rise and fall time of sustaining discharge pulses are shortened.

**SOLUTION:** 1st and 2nd signal lines for supplying voltage  $V_s$  and 3rd and 4th signal lines for supplying 0V are formed. In a state in which Y- and X-electrodes of panel capacitor  $C_p$  are maintained at the voltages  $V_s$  and 0V, respectively, 1st directional current made to flow from the 1st signal line to the 4th signal line through an inductance  $L$  is supplied. Next, a current is made to flow from the Y-electrode of the panel capacitor  $C_p$  to the X-electrode of the panel capacitor  $C_p$  through the inductance  $L$ , and the Y- and X-electrodes of the panel capacitor  $C_p$  are changed in voltage by the resonance of the panel capacitor  $C_p$  with the inductance  $L$ . When the Y- and X-electrode voltages of the panel capacitor  $C_p$  are made to 0V and the voltage  $V_s$ , respectively, a current is made to flow and the signal lines are formed through the 3rd signal line, the inductance  $L$ , and the 2nd signal line and the magnitude of the 1st directional current is reduced.



(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-54264

(P2004-54264A)

(43) 公開日 平成16年2月19日 (2004.2.19)

(51) Int.Cl. <sup>7</sup>	F I	テーマコード (参考)
<b>G09G 3/28</b>	G09G 3/28 J	5C080
<b>G09G 3/20</b>	G09G 3/20 611A	
<b>G09G 3/288</b>	G09G 3/20 621G	
	G09G 3/20 624P	
	G09G 3/20 670D	
審査請求 未請求 請求項の数 12 O L (全 13 頁) 最終頁に続く		

(21) 出願番号 特願2003-174376 (P2003-174376)  
 (22) 出願日 平成15年6月19日 (2003.6.19)  
 (31) 優先権主張番号 2002-043254  
 (32) 優先日 平成14年7月23日 (2002.7.23)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 590002817  
 三星エスディアイ株式会社  
 大韓民國京畿道水原市八達區▲しん▼洞5  
 75番地  
 (74) 代理人 100072349  
 弁理士 八田 幹雄  
 (74) 代理人 100102912  
 弁理士 野上 敦  
 (74) 代理人 100110995  
 弁理士 奈良 泰男  
 (74) 代理人 100111464  
 弁理士 齋藤 悦子  
 (74) 代理人 100114649  
 弁理士 宇谷 勝幸

最終頁に続く

(54) 【発明の名称】 プラズマディスプレイパネルの駆動装置及び駆動方法

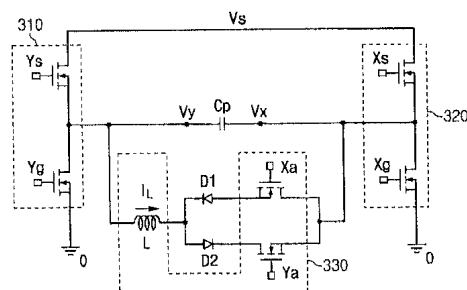
## (57) 【要約】

【課題】素子のストレスを減らすことができ、維持放電パルスの上昇及び下降時間を短縮することができるプラズマディスプレイパネルを提供する。

【解決手段】VS電圧を供給する第1及び第2信号線と、0Vを供給する第3及び第4信号線が形成されている。パネルキャパシターCPのY及びX電極が各々VS電圧及び0Vに維持された状態で、第1信号線からインダクタLを経て第4信号線に流れる第1方向の電流を供給する。次に、パネルキャパシターCPのY電極からインダクタLを経てパネルキャパシターCPのX電極に電流を流し、パネルキャパシターCPとインダクタLの共振によってパネルキャパシターCPのY及びX電極電圧を変える。パネルキャパシターCPのY及びX電極が各々0V及びVS電圧になった時、第3信号線、インダクタL、及び第2信号線に電流が流れて形成され第1方向の電流の大きさが減小する。

【選択図】

図2



## 【特許請求の範囲】

## 【請求項1】

互いに対をなして配列された複数の走査電極及び維持電極と、前記走査電極及び維持電極の間に形成されるパネルキャパシターとを含むプラズマディスプレイパネルの駆動装置において、

各々第1及び第2電圧を供給する第1及び第2電源の間に直列に連結され、その接点が前記パネルキャパシターの一端に連結される第1及び第2スイッチング素子と、

前記第1及び第2電源の間に直列に連結され、その接点が前記パネルキャパシターの他端に連結される第3及び第4スイッチング素子と、

前記パネルキャパシターの一端に連結されるインダクタと、

前記インダクタと前記パネルキャパシターの他端との間に並列に連結される第5及び第6スイッチング素子とを含み、

前記第1電源、前記インダクタ及び前記第2電源の間に形成される経路によって前記インダクタに電流が注入され、前記インダクタに電流が注入された状態で前記パネルキャパシターと前記インダクタによって発生する共振によって前記パネルキャパシターの一端及び他端の電圧が同時に変更されるプラズマディスプレイパネルの駆動装置。

## 【請求項2】

前記第5スイッチング素子と前記インダクタとの間に連結される第1ダイオード、及び前記インダクタと前記第6スイッチング素子との間に連結される第2ダイオードをさらに含む、請求項1に記載のプラズマディスプレイパネルの駆動装置。

## 【請求項3】

前記第1電圧と前記第2電圧との差は前記プラズマディスプレイパネルの維持放電に必要な維持放電電圧である、請求項1に記載のプラズマディスプレイパネルの駆動装置。

## 【請求項4】

前記第1乃至第4スイッチング素子はボディードダイオードを有する、請求項1に記載のプラズマディスプレイパネルの駆動装置。

## 【請求項5】

互いに対をなして配列された複数の走査電極及び維持電極と、前記走査電極及び維持電極の間に形成されるパネルキャパシターとを含むプラズマディスプレイパネルの駆動装置において、

前記パネルキャパシターの一端に電氣的に連結されるインダクタと、

前記第1電圧を供給する第1及び第2信号線と、

前記第2電圧を供給する第3及び第4信号線と、

前記パネルキャパシターの一端及び他端が各々第1及び第2電圧に維持されている状態で、前記第1信号線から前記インダクタを経て前記第4信号線で形成されて前記インダクタに第1方向の電流を供給する第1電流経路と、

前記パネルキャパシターの一端から前記インダクタを経て前記パネルキャパシターの他端に形成され、前記第1方向の電流と前記パネルキャパシター及び前記インダクタの間の共振によって前記パネルキャパシターの一端及び他端の電圧が変わる第2電流経路と、

前記パネルキャパシターの一端及び他端が各々前記第2及び第1電圧になった時、前記第1方向の電流の大きさが減小するように前記第3信号線、前記インダクタ及び前記第2信号線で形成される第3電流経路と、

を含むプラズマディスプレイパネルの駆動装置。

## 【請求項6】

前記パネルキャパシターの一端及び他端が各々前記第2及び第1電圧になった時、前記パネルキャパシターの一端及び他端が各々前記第3及び第2信号線に電氣的に連結される、請求項5に記載のプラズマディスプレイパネルの駆動装置。

## 【請求項7】

前記パネルキャパシターの一端及び他端が各々第2及び第1電圧に維持されている状態で、前記第2信号線から前記インダクタを経て前記第3信号線で形成されて前記インダクタ

10

20

30

40

50

に前記第1方向とは反対方向である第2方向の電流を供給する第4電流経路と、  
前記パネルキャパシタの他端から前記インダクタを経て前記パネルキャパシタの一端  
に形成され、前記第2方向の電流と前記パネルキャパシタ及び前記インダクタの間の共  
振によって前記パネルキャパシタの一端及び他端の電圧が変わる第5電流経路と、  
前記パネルキャパシタの一端及び他端が各々前記第1及び第2電圧になった時、前記第  
2方向の電流の大きさが減小するように前記第4信号線、前記インダクタ及び前記第1信  
号線で形成される第6電流経路と、  
をさらに含む、請求項5に記載のプラズマディスプレイパネルの駆動装置。

【請求項8】

前記パネルキャパシタの一端及び他端が各々前記第1及び第2電圧になった時、前記パ  
ネルキャパシタの一端及び他端が各々前記第1及び第4信号線に電気的に連結される、  
請求項7に記載のプラズマディスプレイパネルの駆動装置。

【請求項9】

前記第1電圧と前記第2電圧との差は前記プラズマディスプレイパネルの維持放電に必要  
な維持放電電圧である、請求項5に記載のプラズマディスプレイパネルの駆動装置。

【請求項10】

互いに対をなして配列された複数の走査電極及び維持電極、前記走査電極及び維持電極の  
間に形成されるパネルキャパシタ、前記パネルキャパシタの一端に電気的に連結され  
るインダクタ、及び各々第1及び第2電圧を供給する第1及び第2電源を含むプラズマデ  
ィスプレイパネルを駆動する方法において、

前記パネルキャパシタの一端及び他端を各々前記第1及び第2電圧に固定させた状態で  
、前記第1電源と前記第2電源との電圧差によって第1方向の電流を前記インダクタに供  
給して第1エネルギーを保存する第1段階と、

前記パネルキャパシタの一端から前記インダクタを経て前記パネルキャパシタの他端  
に形成される経路で発生する共振と前記第1エネルギーを用いて前記パネルキャパシタ  
の一端及び他端の電圧を各々前記第2及び第1電圧に変える第2段階と、

前記パネルキャパシタの一端及び他端を各々前記第2及び第1電圧に維持しながら、前  
記インダクタに残っているエネルギーを前記第1電源に回収する第3段階と  
を含むプラズマディスプレイパネルの駆動方法。

【請求項11】

前記第1電圧と前記第2電圧との差は前記プラズマディスプレイパネルの維持放電に必要  
な維持放電電圧である、請求項10に記載のプラズマディスプレイパネルの駆動方法。

【請求項12】

前記パネルキャパシタの一端及び他端を各々前記第2及び第1電圧に固定させた状態で  
、前記第1電源と前記第2電源との電圧差によって前記第1方向とは反対方向である第2  
方向の電流を前記インダクタに供給して第2エネルギーを保存する第4段階と、

前記パネルキャパシタの他端から前記インダクタを経て前記パネルキャパシタの一端  
に形成される経路で発生する共振と前記第2エネルギーを用いて前記パネルキャパシタ  
の一端及び他端の電圧を各々前記第1及び第2電圧に変える第5段階と、

前記パネルキャパシタの一端及び他端を各々前記第1及び第2電圧に維持しながら、前  
記インダクタに残っているエネルギーを前記第1電源に回収する第6段階と  
をさらに含む、請求項10に記載のプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はプラズマディスプレイパネル（Plasma display Panel、PDP）の駆動装置及び駆動方法に係わり、特に維持放電回路に関する。

【0002】

【従来の技術】

最近、液晶表示装置（liquid crystal display、LCD）、電界

10

20

30

40

50

放出表示装置 (field emission display、FED)、プラズマディスプレイパネルなどの平面表示装置が活発に開発されている。これら平面表示装置のうちプラズマディスプレイパネルは他の平面表示装置に比べて輝度及び発光効率が高く、視野角が広いという長所がある。従って、プラズマディスプレイパネルは40インチ以上の大型表示装置において従来の陰極線管 (cathode ray tube、CRT) に替わる表示装置として脚光を浴びている。

【0008】

プラズマディスプレイパネルは気体放電によって生成されたプラズマを利用して文字または映像を表示する平面表示装置であって、その大きさに応じて数十から数百万個以上の画素がマトリックス形態に配列されている。このようなプラズマディスプレイパネルは印加される駆動電圧波形の形態と放電セルの構造によって直流形 (DC形) と交流形 (AC形) に区分される。

10

【0004】

直流形プラズマディスプレイパネルは電極が放電空間にそのまま露出されているため、電圧が印加される間は電流が放電空間にそのまま流れるようになり、このために電流制限のための抵抗を作らなければならないという短所がある。反面、交流形プラズマディスプレイパネルでは電極を誘電体層が覆っていて自然なキャパシタンス成分の形成で電流が制限され、放電時にイオンの衝撃から電極が保護されるので、直流形に比べて寿命が長いという長所がある。

【0005】

20

一般に交流形プラズマディスプレイパネルの駆動方法はリセット期間、アドレッシング期間、維持放電期間、消去期間からなる。リセット期間はセルにアドレッシング動作が円滑に遂行されるようにするために各セルの状態を初期化させる期間であり、アドレッシング期間はパネルにおいて灯るセルと灯らないセルを選択して灯るセル (アドレッシングされたセル) に壁電荷を積む動作を行う期間である。維持放電期間はアドレッシングされたセルに実際に画像を表示するための放電を遂行する期間であり、維持放電期間になると走査電極と維持電極に維持放電パルスが交互に印加され維持放電が行われて映像が表示される。消去期間はセルの壁電荷を減少させて維持放電を終了させる期間である。

【0006】

交流形プラズマディスプレイパネルはその維持放電のための走査電極及び維持電極が容量性負荷として作用するため、走査電極及び維持電極に対するキャパシタンスが存在し、このように容量性負荷として作用する走査電極及び維持電極の間のパネルは等価的にパネルキャパシターで表現される。このようなパネルキャパシターに維持放電のための波形を印加するためには放電のための電力以外に無効電力が必要である。従って、維持放電回路は無効電力を回収して再使用する電力回収回路を含む。

30

【0007】

このような維持放電回路としてはエル・エフ・ウェーバー (L. F. Weber) によって提案された回路 (特許文献1及び2参照) がある。ウェーバーの維持放電回路には電力回収用キャパシターが形成されていて、パネルキャパシターとインダクタの共振によってパネルキャパシターのエネルギーが電力回収用キャパシターに回収されたり、電力回収用キャパシターに保存されたエネルギーがパネルキャパシターに伝達される。

40

【0008】

しかし、このような従来の回路では発光開示直後、電力回収用キャパシターが常に維持放電電圧の半分ほど充電されなければならない、そうではない状態では維持放電パルス開示の時に非常に大きな突入電流が発生することがある。また、従来の回路ではスイッチの導通損失やスイッチング損失など回路そのものの損失が存在するため、エネルギーを100%回収できない問題点がある。これによってパネルキャパシターの端子電圧を維持放電電圧まで上げることができなかつたり接地電圧まで下げることができなくなつて、維持放電区間でスイッチがゼロ電圧スイッチングせずハードスイッチングする。従って、不必要な電力損失が発生してスイッチング素子のストレスが増加する。また、従来の維持放電回路はパ

50

ネルキャパシター端子電圧の上昇及び下降時間が長く、放電がパネルキャパシター端子電圧の上昇または下降区間で起こることがある。

【0009】

【特許文献1】

米国特許第4、866、349号明細書

【特許文献2】

米国特許第5、081、400号明細書

【0010】

【発明が解決しようとする課題】

本発明が目的とする技術的課題は、素子のストレスを減らすことができ維持放電パルスの上昇及び下降時間を短縮することができるプラズマディスプレイパネルを提供することにある。

10

【0011】

【課題を解決するための手段】

このような課題を解決するために本発明は、パネルキャパシターの端子電圧が変わる時、インダクタがパネルキャパシターのY電極とX電極の間に連結されるようにする。

【0012】

本発明の第1の特徴によるプラズマディスプレイパネルの駆動装置には、各々第1及び第2電圧を供給する第1及び第2電源の間に直列に連結されその接点パネルキャパシター

の一端に連結される第1及び第2スイッチング素子が形成されている。第3及び第4ス

イッチング素子は第1及び第2電源の間に直列に連結されており、接点パネルキャパシ

ターの他端に連結されている。また、インダクタがパネルキャパシター

の一端に連結され、第5及び第6スイッチング素子がインダクタとパネルキャパシター

の他端の間に並列に連結される。

20

【0013】

第1ダイオードが第5スイッチング素子とインダクタの間に連結され、第2ダイオードがインダクタと第6スイッチング素子の間に連結される。

【0014】

この時、第1電圧と第2電圧の差はプラズマディスプレイパネルの維持放電に必要な維持放電電圧であるのが好ましい。また、第1乃至第4スイッチング素子はボディード

ダイオードを有するのが好ましい。

30

【0015】

本発明の第2の特徴によるプラズマディスプレイパネルの駆動装置には、パネルキャパシター

の一端に電氣的に連結されるインダクタ、第1電圧を供給する第1及び第2信号線、

そして第2電圧を供給する第3及び第4信号線が形成されている。パネルキャパシター

の一端及び他端が各々第1及び第2電圧に維持されている状態で、第1電流経路が第1信号

線からインダクタを経て第4信号線で形成され、インダクタに第1方向の電流を供給する

。第2電流経路がパネルキャパシター

の一端からインダクタを経てパネルキャパシター

の他端に形成され、第1方向の電流とパネルキャパシターとインダクタの間の共振によって

パネルキャパシター

の一端及び他端の電圧が変わる。そして、パネルキャパシター

の一端及び他端が各々第2及び第1電圧になった時、第3電流経路が第3信号線、インダクタ

及び第2信号線で形成され第1方向の電流の大きさが減小する。

40

【0016】

この時、パネルキャパシター

の一端及び他端が各々第2及び第1電圧になった時、パネル

キャパシター

の一端及び他端が各々第3及び第2信号線に電氣的に連結されるのが好まし

い。

【0017】

本発明によるプラズマディスプレイパネルの駆動方法によると、パネルキャパシター

の一端及び他端を各々第1及び第2電圧に固定させた状態で、第1電源と第2電源の電圧差に

よって第1方向の電流をインダクタに供給して第1エネルギーを保存する。次に、パネル

50

キャパシター的一端からインダクタを経てパネルキャパシターの他端に形成される経路で発生する共振と第1エネルギーでパネルキャパシター的一端及び他端電圧を各々第2及び第1電圧に変える。そしてパネルキャパシター的一端及び他端を各々第2及び第1電圧に維持しながら、インダクタに残っているエネルギーを第1電源に回収する。

【0018】

【発明の実施の形態】

以下では添付図面を参考して本発明の実施の形態について本発明の属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。しかし、本発明は多様に相異なる形態で具現することができ、ここで説明する実施の形態に限定されない。

【0019】

図面において、本発明を明確に説明するために、説明と関係ない部分は省略した。明細書全体にわたって類似した部分については同一な図面符号を付与した。ある部分が他の部分と連結されているとする時、これは直接的に連結されている場合だけでなくその中間に他の素子を介在して連結されている場合も含む。

【0020】

以下、本発明の実施の形態によるプラズマディスプレイパネルの駆動装置及び駆動方法について図面を参考して詳細に説明する。

【0021】

まず、図1を参照して本発明の実施の形態によるプラズマディスプレイパネルについて説明する。

【0022】

図1は本発明の実施の形態によるプラズマディスプレイパネルを示す図面である。

【0023】

図1に示すように、本発明の実施の形態によるプラズマディスプレイパネルはプラズマパネル100、アドレス駆動部200、走査・維持駆動部300及び制御部400を含む。

【0024】

プラズマパネル100は列方向に配列されている複数のアドレス電極A1～Am、行方向にジグザグに配列されている複数の走査電極Y1～Yn及び維持電極X1～Xnを含む。アドレス駆動部200は制御部400からアドレス駆動制御信号を受信して表示しようとする放電セルを選択するための表示データ信号を各アドレス電極A1～Amに印加する。走査・維持駆動部300は維持放電回路を含み、維持放電回路は制御部400から維持放電駆動制御信号を受信して走査電極Y1～Ynと維持電極X1～Xnに維持放電パルスを交互に入力することによって選択された放電セルに対して維持放電を遂行する。制御部400は外部から映像信号を受信してアドレス駆動制御信号と維持放電駆動制御信号を生成し各々アドレス駆動部200と走査・維持駆動部300に印加する。

【0025】

以下、図2乃至図11を参照して本発明の実施の形態による維持放電回路について詳細に説明する。

【0026】

図2は本発明の実施の形態によるプラズマディスプレイパネルの維持放電回路を示す図面である。図3乃至図10は本発明の実施の形態による維持放電回路における各モードの電流経路を示す図面であり、図11は本発明の実施の形態による維持放電回路の動作タイミングを示す図面である。

【0027】

図2に示すように、本発明の実施の形態による維持放電回路はY電極駆動部310、X電極駆動部320及び共振部330を含む。Y電極駆動部310及びX電極駆動部320はパネルキャパシターCPのY電極及びX電極に連結されており、各々スイッチング素子YS、Yθ及びスイッチング素子XS、Xθを含む。共振部330にはインダクタLとスイッチング素子Xα、Yαが形成されている。図2ではスイッチング素子YS、Yθ、Yα、XS、Xθ、XαをMOSFETで表示したが、これに限定されず同一な機能または類

10

20

30

40

50

似た機能を遂行するものであればいかなるスイッチング素子を使用してもよい。また、このようなスイッチング素子 $Y_S$ 、 $Y_\theta$ 、 $Y_\alpha$ 、 $X_S$ 、 $X_\theta$ 、 $X_\alpha$ はポディーダイオードを有するのが好ましい。

#### 【0028】

詳しく説明すると、スイッチング素子 $Y_S$ 、 $Y_\theta$ は $V_S$ 電圧を供給する電源 $V_S$ と接地端との間に直列に連結されており、その接点がパネルキャパシター $CP$ の $Y$ 電極に連結されている。スイッチング素子 $X_S$ 、 $X_\theta$ は電源 $V_S$ と接地端との間に直列に連結されており、その接点がパネルキャパシター $CP$ の $X$ 電極に連結されている。インダクタ $L$ はパネルキャパシター $CP$ の $Y$ 電極に連結されており、スイッチング素子 $X_\alpha$ 、 $Y_\alpha$ はインダクタ $L$ とパネルキャパシター $CP$ の $X$ 電極との間に並列に連結されている。この時、インダクタ $L$ とスイッチング素子 $X_\alpha$ 、 $Y_\alpha$ との間には各々ダイオード $D_1$ 、 $D_2$ がさらに含まれることができる。このダイオード $D_1$ 、 $D_2$ は各々スイッチング素子 $X_\alpha$ 、 $Y_\alpha$ のポディーダイオードによって流れる電流を遮断する。また、実際回路には寄生成分が存在するため、インダクタとスイッチング素子 $X_S$ 、 $X_\theta$ との間の電圧を $V_S$ 電圧または $0V$ にクランプングするためのダイオード（図示せず）が形成される。

#### 【0029】

図2ではインダクタ $L$ がパネルキャパシター $CP$ の $Y$ 電極に連結されると説明したが、インダクタ $L$ はパネルキャパシター $CP$ の $X$ 電極に連結されることができ、この場合、スイッチング素子 $X_\alpha$ 、 $Y_\alpha$ はパネルキャパシター $CP$ の $Y$ 電極に連結される。

#### 【0030】

このような維持放電回路の動作について図8乃至図10、図11を参照して詳細に説明する。ここで、変化は8個のモード( $M1-M8$ )で一巡し、全ての変化はスイッチング素子の操作によって生じる。以下で共振と称している現象は連続的発進ではなく、スイッチング素子のターンオンまたはターンオフ時に生じるインダクタ( $L$ )とパネルキャパシター( $CP$ )の組み合わせによる電圧及び電流の変化現象である。

#### 【0031】

図8及び図11を見ると、モード1 $M1$ ではスイッチング素子 $Y_S$ 、 $X_\theta$ がターンオンされてパネルキャパシター $CP$ の $Y$ 及び $X$ 電極電圧が各々 $V_S$ 及び $0V$ に維持されている。この状態でスイッチング素子 $Y_\alpha$ がターンオンされて電源 $V_S$ 、スイッチング素子 $Y_S$ 、インダクタ $L$ 、ダイオード $D_2$ 、スイッチング素子 $Y_\alpha$ 、 $X_\theta$ 及び接地端で電流経路が形成される。この電流経路によってインダクタ $L$ に流れる電流 $I_L$ は $V_S/L$ の傾きで線形的に増加するようになり、インダクタ $L$ にエネルギーが蓄積される。

#### 【0032】

次に、モード2 $M2$ ではスイッチング素子 $Y_\alpha$ がターンオンされた状態でスイッチング素子 $Y_S$ 、 $X_\theta$ がターンオフされる。そうすると、図4に示すように、インダクタ $L$ に流れている電流 $I_L$ はインダクタ $L$ 、ダイオード $D_2$ 、スイッチング素子 $Y_\alpha$ 及びパネルキャパシター $CP$ の経路に流れるようになり、インダクタ $L$ とパネルキャパシター $CP$ の間で共振が発生する。この共振によってパネルキャパシター $CP$ の $Y$ 電極電圧 $V_Y$ は $0V$ まで減少し $X$ 電極電圧 $V_X$ は $V_S$ 電圧まで増加する。図11に示すように、共振によってインダクタ $L$ に流れる電流 $I_L$ は最高値 $I_{Pk}$ まで上がった後、再び減る。この時、モード1 $M1$ で予めインダクタ $L$ にエネルギーを蓄積した状態で共振が発生するので、維持放電回路に寄生成分がある場合にも $Y$ 及び $X$ 電極電圧 $V_Y$ 、 $V_X$ が各々 $0V$ 及び $V_S$ 電圧まで変わることができる。

#### 【0033】

モード3 $M3$ ではパネルキャパシター $CP$ の $Y$ 及び $X$ 電極電圧 $V_Y$ 、 $V_X$ が各々 $0V$ 及び $V_S$ 電圧になりスイッチング素子( $Y_\theta$ 、 $X_S$ )のポディーダイオードが導通する。そうすると、図5に示すように、インダクタ $L$ に流れている電流 $I_L$ はスイッチング素子 $Y_\theta$ のポディーダイオード、インダクタ $L$ 、ダイオード $D_2$ 、スイッチング素子 $Y_\alpha$ 及びスイッチング素子 $X_S$ のポディーダイオードに流れるようになって $-V_S/L$ の傾きで線形的に減少する。つまり、インダクタ $L$ に流れる電流は電源 $V_S$ に回収される。また、スイッ



チング素子 $Y\theta$ 、 $XS$ がターンオンされてパネルキャパシターの $Y$ 及び $X$ 電極電圧 $V\gamma$ 、 $V\chi$ を各々 $0V$ 及び $V_S$ 電圧に維持する。この時、スイッチング素子 $Y\theta$ 、 $XS$ は全てドレインとソースの間の電圧が $0$ 電圧である状態でターンオンされるゼロ電圧スイッチングするので、スイッチング素子 $Y\theta$ 、 $XS$ のターンオンスイッチング損失が発生しない。

#### 【0034】

モード $4M4$ ではインダクタ $L$ に流れる電流 $I_L$ が $0A$ になると、スイッチング素子 $Y\alpha$ をターンオフする。スイッチング素子 $Y\theta$ 、 $XS$ はターンオンされているので、図6に示すように、パネルキャパシター $CP$ の $Y$ 及び $X$ 電極電圧は各々 $0V$ 及び $V_S$ 電圧に維持される。

#### 【0035】

図7及び図11を見ると、モード $5M5$ ではパネルキャパシター $CP$ の $Y$ 及び $X$ 電極電圧が各々 $0V$ 及び $V_S$ 電圧に維持されている状態でスイッチング素子 $X\alpha$ がターンオンされて、電源 $V_S$ 、スイッチング素子 $XS$ 、 $X\alpha$ 、ダイオード $D1$ 、インダクタ $L$ 、スイッチング素子 $Y\theta$ 及び接地端で電流経路が形成される。この電流経路によってインダクタ $L$ に流れる電流 $I_L$ はモード $1M1$ での方向とは反対方向に流れ、その大きさは $V_S/L$ の傾きで線形的に増加するようになってインダクタ $L$ にエネルギーが蓄積される。

#### 【0036】

次に、モード $6M6$ ではスイッチング素子 $X\alpha$ がターンオンされた状態でスイッチング素子 $Y\theta$ 、 $XS$ がターンオフされる。そうすると、図8に示すように、インダクタ $L$ に流れている電流 $I_L$ はインダクタ $L$ 、パネルキャパシター $CP$ 、スイッチング素子 $X\alpha$ 及びダイオード $D1$ の経路に流れるようになって、インダクタ $L$ とパネルキャパシター $CP$ の間で共振が発生する。この共振によってパネルキャパシター $CP$ の $Y$ 電極電圧 $V\gamma$ は $V_S$ 電圧まで増加し、 $X$ 電極電圧 $V\chi$ は $0V$ まで減少する。図11に示すように、共振によってインダクタ $L$ に流れる電流 $I_L$ の大きさは最高値 $I_{Pk}$ まで上がった後、再び減る。モード $5M5$ でインダクタ $L$ にエネルギーを蓄積した状態で共振が発生するので、維持放電回路に寄生成分がある場合にも $Y$ 及び $X$ 電極電圧 $V\gamma$ 、 $V\chi$ が各々 $V_S$ 電圧及び $0V$ まで変わることができる。

#### 【0037】

モード $7M7$ ではパネルキャパシター $CP$ の $Y$ 及び $X$ 電極電圧 $V\gamma$ 、 $V\chi$ が各々 $V_S$ 電圧及び $0V$ になり、スイッチング素子 $YS$ 、 $X\theta$ のボディードायオードが導通する。そうすると、図9に示すように、インダクタ $L$ に流れている電流 $I_L$ はスイッチング素子 $X\theta$ のボディードायオード、スイッチング素子 $X\alpha$ 、ダイオード $D1$ 、インダクタ $L$ 及びスイッチング素子 $YS$ のボディードायオードに流れるようになってその大きさが $-V_S/L$ の傾きで線形的に減少する。つまり、インダクタ $L$ に流れる電流は電源 $V_S$ に回収される。また、スイッチング素子 $YS$ 、 $X\theta$ がターンオンされて、パネルキャパシターの $Y$ 及び $X$ 電極電圧 $V\gamma$ 、 $V\chi$ が各々 $V_S$ 電圧及び $0V$ に維持される。この時、スイッチング素子 $YS$ 、 $X\theta$ は全てゼロ電圧スイッチングするので、スイッチング素子 $YS$ 、 $X\theta$ のターンオンスイッチング損失が発生しない。

#### 【0038】

インダクタ $L$ に流れる電流 $I_L$ が $0A$ になった時、モード $8M8$ ではスイッチング素子 $X\alpha$ をターンオフする。スイッチング素子 $Y\theta$ 、 $XS$ はターンオンされているので、図10に示すように、パネルキャパシター $CP$ の $Y$ 及び $X$ 電極電圧は各々 $V_S$ 電圧及び $0V$ に維持される。

#### 【0039】

このようなモード1乃至モード8の過程を繰り返してパネルキャパシター $CP$ の $Y$ 及び $X$ 電極に $V_S$ 電圧と $0V$ の間をスイングする維持放電パルスを印加することができる。

#### 【0040】

以上で説明したように、本発明の実施の形態ではモード1及びモード5でインダクタにエネルギーを蓄積した状態で共振を発生させるので、回路に寄生成分がある場合にもゼロ電圧スイッチングすることができる。また、インダクタに電流が流れる状態で共振が発生す

10

20

30

40

50

るのてパネルキャパシターCPのY及びX電極電圧の上昇または下降時間が短くなる。

【0041】

図2ではパネルキャパシターCPのY及びX電極電圧がVS電圧と0Vの間をスイングするように電源としてVS電圧と接地電圧を使用した。

【0042】

本発明は他の実施の形態として、図12に示すように、VH電圧を供給する電源VHとVH-VS電圧を供給する電源VLが用いてもよい。られる。この場合、スイッチング素子YS、XSは電源VHに連結され、スイッチング素子Yθ、Xθは電源VLに連結されている。このようにすると、パネルキャパシターCPのY及びX電極にはVH電圧とVH-VS電圧が交互に印加され、Y及びX電極電圧の差がVS電圧になるのて維持放電に必要な電圧がパネルキャパシターCPに印加できる。

10

【0043】

また、本発明の実施の形態ではモード1乃至モード3とモード5乃至モード7で流れる電流が同一なインダクタを通過するようにしたが、他のインダクタを通過するようにすることもできる。図2でパネルキャパシターCPのY電極とスイッチング素子Xαの間に形成されるインダクタ（以下、インダクタL1とする）と、X電極とスイッチング素子Yαの間に形成されるインダクタ（以下、インダクタL2とする）とを異にする。このようにすると、モード1乃至モード3ではインダクタL1を通じて電流が流れ、モード5乃至モード7ではインダクタL2を通じて電流が流れる。

【0044】

20

以上、本発明の好ましい実施の形態について詳細に説明したが、本発明の権利範囲はこれに限定されず、特許請求の範囲で定義している本発明の基本概念を利用した当業者による様々な変形及び改良形態も本発明の権利範囲に属する。

【0045】

【発明の効果】

このように本発明によると、予め蓄積されたインダクタのエネルギーを用いてパネルキャパシターの端子電圧をVS電圧及び0V電圧に変えることができるのてゼロ電圧スイッチングが可能になり、これによってスイッチング素子のストレスが減少する。また、維持放電パルスの上昇及び下降時間が短縮され、安定した放電が可能である。また、電力回収用キャパシターが必要ないので起動時に突入電流が発生しない。

30

【図面の簡単な説明】

【図1】本発明の実施の形態によるプラズマディスプレイパネルを示す図面である。

【図2】本発明の実施の形態によるプラズマディスプレイパネルの維持放電回路を示す図面である。

【図3】本発明の実施の形態による維持放電回路における各モードの電流経路を示す図面である。

【図4】本発明の実施の形態による維持放電回路における各モードの電流経路を示す図面である。

【図5】本発明の実施の形態による維持放電回路における各モードの電流経路を示す図面である。

40

【図6】本発明の実施の形態による維持放電回路における各モードの電流経路を示す図面である。

【図7】本発明の実施の形態による維持放電回路における各モードの電流経路を示す図面である。

【図8】本発明の実施の形態による維持放電回路における各モードの電流経路を示す図面である。

【図9】本発明の実施の形態による維持放電回路における各モードの電流経路を示す図面である。

【図10】本発明の実施の形態による維持放電回路における各モードの電流経路を示す図面である。

50

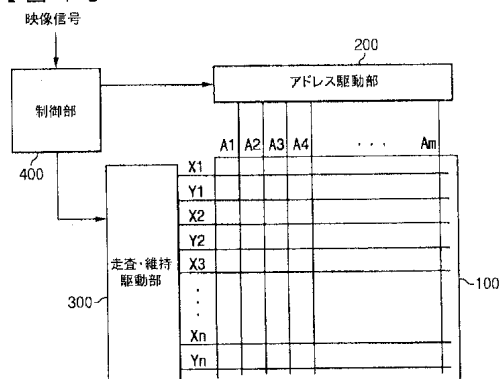
【図 1 1】本発明の実施の形態による維持放電回路の動作タイミングを示す図面である。

【図 1 2】本発明の他の実施の形態によるプラスマディスプレイパネルの維持放電回路を示す図面である。

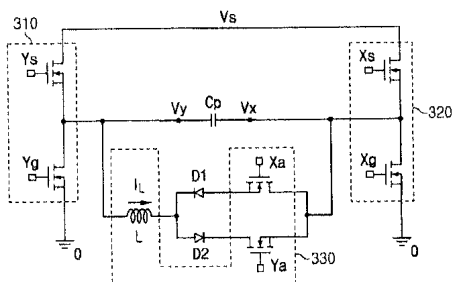
【符号の説明】

- 1 0 0    プラズマパネル
- 2 0 0    アドレス駆動部
- 3 0 0    走査・維持駆動部
- 3 1 0    Y電極駆動部
- 3 2 0    X電極駆動部
- 3 3 0    共振部
- 4 0 0    制御部

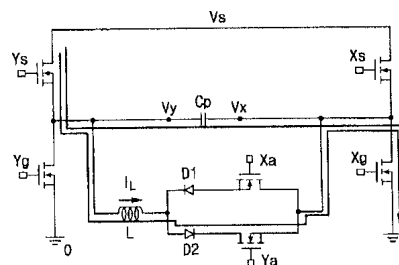
【図 1 1】



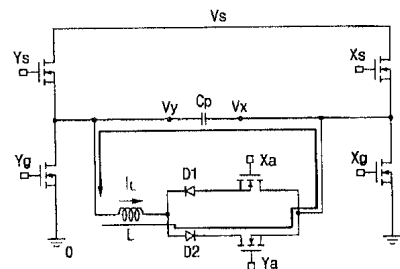
【図 2】



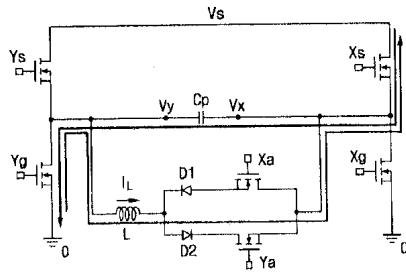
【図 3】



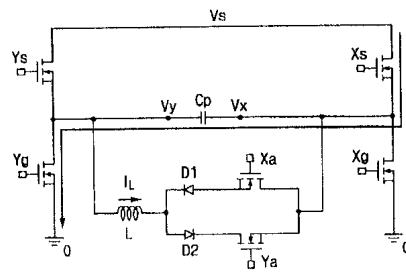
【図 4】



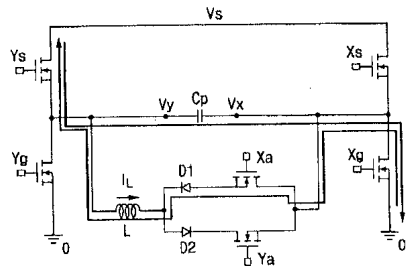
【図 5】



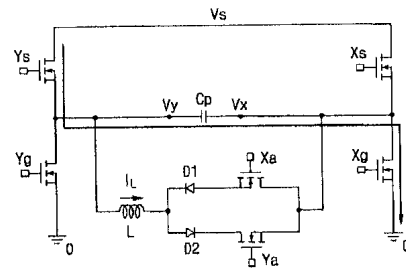
【図 6】



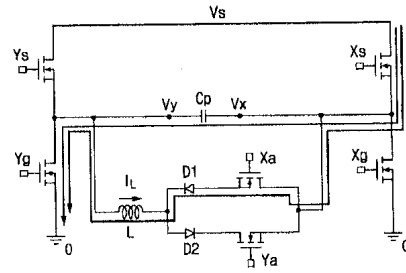
【図 9】



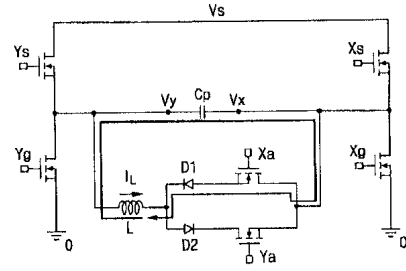
【図 10】



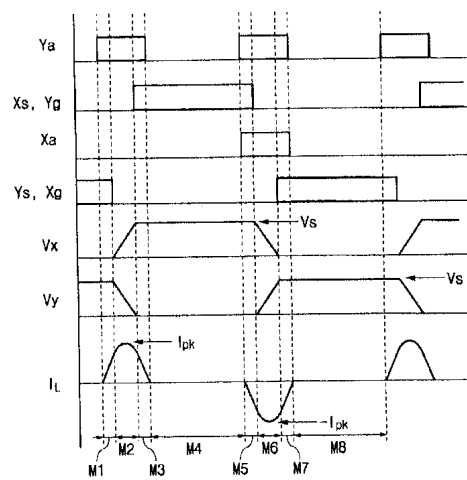
【図 7】



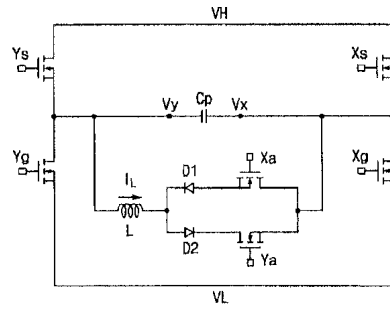
【図 8】



【図 11】



【圖 12】



フロントページの続き

(51)Int. Cl.<sup>7</sup>

F I

テーマコード (参考)

G 0 9 G 3/20 6 7 0 E  
G 0 9 G 3/20 6 7 0 M  
G 0 9 G 3/28 B

(74)代理人 100124615

弁理士 藤井 敏史

(72)発明者 李 ▲しゃん▼

大韓民国忠清南道天安市新富洞 大林アパート 104棟1002号

(72)発明者 金 成

大韓民国京畿道安養市東安区虎溪洞 セムマウル大宇アパート 108棟801号

(72)発明者 起

大韓民国忠清南道天安市聖城洞 500番地 宇星アパート 105棟1801号

(72)発明者 韓 燦

大韓民国ソウル特別市城東区聖水1街洞 676-5番地 現代アパート 102棟1104号

Fターム(参考) 5C080 AA05 BB05 DD09 DD19 DD26 FF12 HH02 HH05 KK48